

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

**THIS PAGE BLANK (USPTO)**

## POWER SEMICONDUCTOR DEVICE

Patent Number: JP7058272

Publication date: 1995-03-03

Inventor(s): SHINOHARA SHINICHI; others: 01

Applicant(s): ORIGIN ELECTRIC CO LTD

Requested Patent: □ JP7058272

Application Number: JP19930228262 19930820

Priority Number(s):

IPC Classification: H01L23/50 ; H01L21/60 ; H01L23/12 ; H01L25/07 ; H01L25/18 ; H03K17/00

EC Classification:

Equivalents:

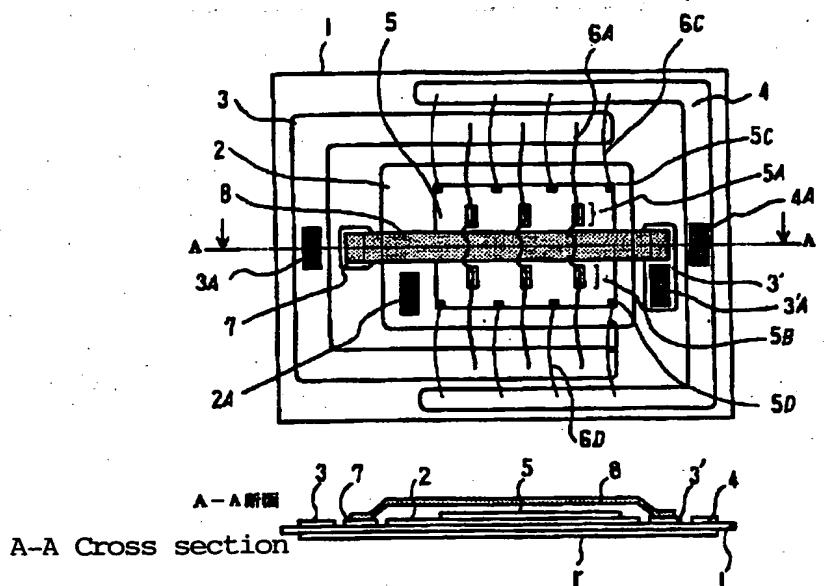
### Abstract

PURPOSE:To obtain the title semiconductor device whose inductance and resistance are small and which is suitably operated at a high frequency by a comparatively simple wiring constitution.

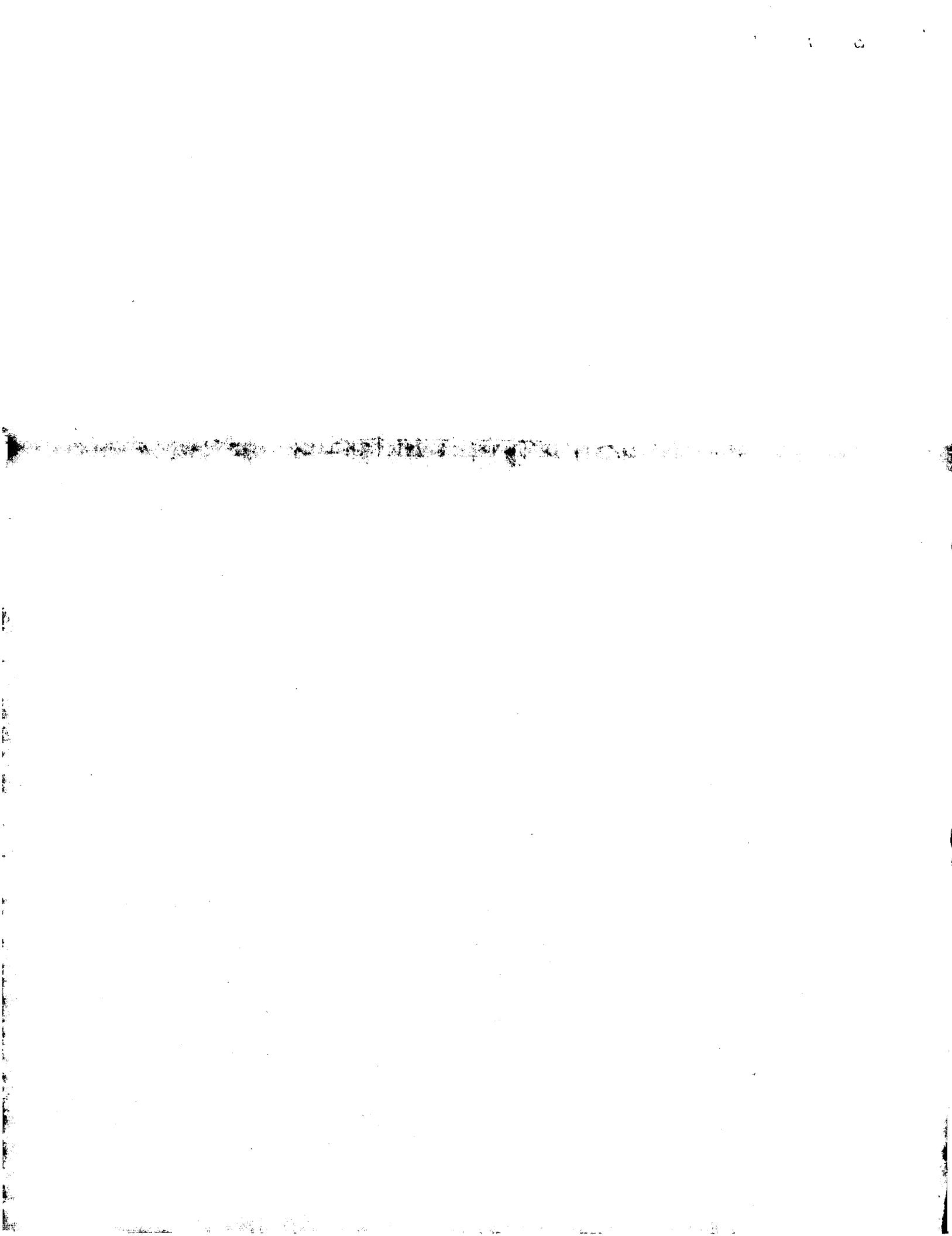
CONSTITUTION:A power semiconductor device is formed in such a way that a first main current electrode, a second main current electrode composed of a plurality of small electrodes and a control-signal electrode for a semiconductor element 5 are connected electrically to a first electrode pad 2, a second electrode pad 3 and a third electrode pad 4 which are formed on one or more electrically insulating plates so as to correspond. In the power semiconductor device, the second main current electrode composed of the plurality of small electrodes is connected to the second electrode pad 3 or the other electrode pad through a wide metal member 8.

Data supplied from the esp@cenet database - I2

**THIS PAGE BLANK (USPTO)**



- 1: First electrically insulating plate
- 2: First electrode pad
- 2A: Conductor terminal
- 3: Second electrode pad
- 3A: Conductor terminal
- 3': Fourth electrode pad
- 3'A: Conductor terminal
- 4: Third electrode pad
- 4A: Conductor terminal
- 5: Semiconductor element
- 5A: Source electrode
- 5B: Source electrode
- 5C: Gate electrode
- 5D: Gate electrode
- 6A: Bonding wire
- 6C: Bonding wire
- 6D: Bonding wire
- 7: Fifth electrode pad
- 8: Wide metal member



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-58272

(43)公開日 平成7年(1995)3月3日

(51)Int.Cl.<sup>6</sup>  
H 01 L 23/50

識別記号

府内整理番号

F I

技術表示箇所

S  
X

21/60 301 A 6918-4M  
23/12 301 Z

H 01 L 25/04

C

審査請求 未請求 請求項の数8 FD (全10頁) 最終頁に続く

(21)出願番号 特願平5-228262

(22)出願日 平成5年(1993)8月20日

(71)出願人 000103976

オリジン電気株式会社

東京都豊島区高田1丁目18番1号

(72)発明者 鶴原 信一

東京都豊島区高田1丁目18番1号 オリジン電気株式会社内

(72)発明者 斎藤 亮治

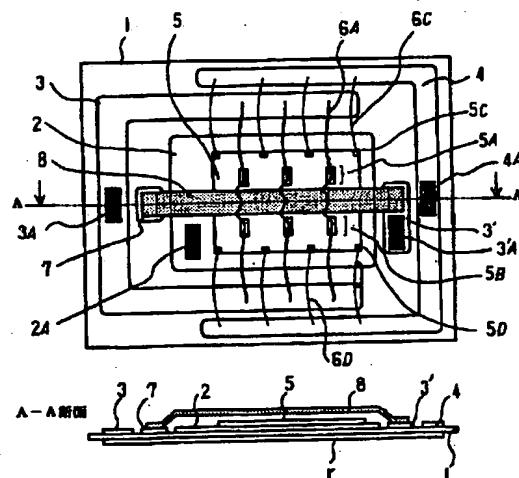
東京都豊島区高田1丁目18番1号 オリジン電気株式会社内

(54)【発明の名称】 電力用半導体装置

(57)【要約】

【目的】インダクタンスおよび抵抗が小さく、比較的簡単な配線構成で高周波動作に適した電力用半導体装置を提供すること。

【構成】半導体素子5の第1の主電流電極、複数の小電極からなる第2の主電流電極、制御信号電極それぞれを1以上の電気絶縁板に形成された対応する第1、第2、第3の電極パッド2、3、4に電気的に接続してなる電力用半導体装置において、前記複数の小電極からなる第2の主電流電極を幅広の金属部材8を通して前記第2の電極パッド3又は別の電極パッドに接続する電力用半導体装置である。



## 【特許請求の範囲】

【請求項 1】 半導体素子の第1の主電流電極、複数の小電極からなる第2の主電流電極、制御信号電極それぞれを電気絶縁板の同一面上に形成された対応する第1、第2、第3の電極パッドに電気的に接続してなる電力用半導体装置において、前記複数の小電極からなる第2の主電流電極を幅広の金属部材を通して前記第2の電極パッド及び／又は別の電極パッドに接続したことを特徴とする電力用半導体装置。

【請求項 2】 半導体素子の第1の主電流電極、複数の小電極からなる第2の主電流電極、制御信号電極それぞれを電気絶縁板の同一面上に形成された対応する第1、第2、第3の電極パッドに電気的に接続してなる電力用半導体装置において、前記電気絶縁板の同一面上に第4の電極パッドと第5の電極パッドを形成し、幅広の金属部材を前記第4の電極パッドと前記第5の電極パッドに接続してこれらの間を電気的に接続し、前記複数の小電極からなる第2の主電流電極を前記幅広の金属部材にも接続し、前記第3の電極パッドと該第3の電極パッド近傍に位置する前記第4の電極パッドとの間に制御信号が印加されるようにしたことを特徴とする電力用半導体装置。

【請求項 3】 半導体素子の第1の主電流電極、複数の小電極からなる第2の主電流電極、制御信号電極それぞれを電気絶縁板の同一面上に形成された対応する第1、第2、第3の電極パッドに電気的に接続してなる電力用半導体装置において、前記電気絶縁基板の同一面上に第4の電極パッドを形成し、幅広の金属部材を前記第2の電極パッドと前記第4の電極パッドに接続してこれらの間を電気的に接続し、前記複数の小電極からなる第2の主電流電極を前記幅広の金属部材を通して前記第2の電極パッドに電気的に接続し、前記第3の電極パッドと該第3の電極パッド近傍に位置する前記第4の電極パッドとの間に制御信号が印加されるようにしたことを特徴とする電力用半導体装置。

【請求項 4】 半導体素子の第1の主電流電極、複数の小電極からなる第2の主電流電極、制御信号電極をそれぞれ対応する第1、第2、第3の電極パッドに電気的に接続してなる電力用半導体装置において、前記第1の電極パッドは第1の電気絶縁板に固着され、前記半導体素子面積以上の大きさの開口部を有する第2の電気絶縁板が前記第1の電極パッドを挟んで前記第1の電気絶縁板の上に配置され、前記半導体素子は前記第2の電気絶縁板の前記開口部における前記第1の電極パッドに固着され、前記第2の電極パッドは前記第2の電気絶縁板に固着され、該第2の電気絶縁板の同一面上に第4の電極パッドと第5の電極パッドを形成し、幅広の金属部材を前記第4の電極パッドと前記第5の電極パッドに接続してこれらの間を電気的に接続し、前記複数の小電極からなる第2の主電流電極を前記幅広の金属部材にも接続し、前記第3の電極パッドと該第3の電極パッド近傍に位置する前記第4の電極パッドとの間に制御信号が印加されるようにしたことを特徴とした電力用半導体装置。

10

20

30

40

50

前記第3の電極パッドと該第3の電極パッド近傍に位置する前記第4の電極パッドとの間に制御信号が印加されるようにしたことを特徴とする電力用半導体装置。

【請求項 5】 半導体素子の第1の主電流電極、複数の小電極からなる第2の主電流電極、制御信号電極をそれぞれ対応する第1、第2、第3の電極パッドに電気的に接続してなる電力用半導体装置において、前記第1の電極パッドは第1の電気絶縁板に固着され、前記半導体素子面積以上の大きさの開口部を有する第2の電気絶縁板が前記第1の電極パッドを挟んで前記第1の電気絶縁板の上に配置され、前記半導体素子は前記第2の電気絶縁板の前記開口部における前記第1の電極パッドに固着され、前記第2の電極パッドは前記第2の電気絶縁板に固着され、該第2の電気絶縁基板の同一面上に第4の電極パッドを形成し、幅広の金属部材を前記第2の電極パッドと前記第4の電極パッドに接続してこれらの間を電気的に接続し、前記複数の小電極からなる第2の主電流電極を前記幅広の金属部材を通して前記第2の電極パッドに電気的に接続し、前記第3の電極パッドと該第3の電極パッド近傍に位置する前記第4の電極パッドとの間に制御信号が印加されるようにしたことを特徴とする電力用半導体装置。

【請求項 6】 前記第2の主電流電極の複数の小電極は2列に配列されており、幅広の金属部材は前記第2の主電流電極の複数の小電極の列の間隔より狭い幅をもつ金属条片からなって、前記第4の電極パッドと前記第2の電極パッド又は前記第5の電極パッドの間を橋絡し、前記第2の主電流電極の小電極がボンディングワイヤにより前記金属部材にボンディングされたこと特徴とする請求項1乃至請求項5のいずれかに記載の電力用半導体装置。

【請求項 7】 前記幅広の金属部材は前記第2の主電流電極の複数の各小電極に及び大きさをもつ金属板からなり、前記第2の主電流電極の小電極がろう材により前記幅広の金属部材に直接接続されたこと特徴とする請求項1乃至請求項5のいずれかに記載の電力用半導体装置。

【請求項 8】 前記幅広の金属部材は前記第2の主電流電極の小電極に対応する箇所にプロジェクションを備えたこと特徴とする請求項1乃至請求項5又は請求項7のいずれかに記載の電力用半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、セラミック基板のような電気絶縁板に固着された電極パッドに搭載された半導体素子を備えた電力用半導体装置、特に電力用MOSFETのような高速スイッチング半導体モジュールに適した電力用半導体装置に関する。

## 【0002】

【従来の技術】 現在のところ、数十A乃至100A以上の電流をスイッチングする電力用半導体装置としては動

作周波数があまり高いものが見当たらない。このような電力用半導体装置では半導体装置全体のもつインダクタンスは動作上あまり問題にされない。しかし 1 MHz 乃至数 MHz 以上の周波数で電力用半導体装置、例えば電界効果トランジスタ（以下 FET という）を動作させる場合には、ゲート部及びソース部の各ボンディングワイヤ自体がもつインダクタンスさえも確実に障害になってくる。

【0003】特にソース部のインダクタンス、その中でもゲート端子と対になってゲート信号が印加される他方の端子として作用するソースセンス側のインダクタンスがゲート信号に大きな影響を与えるため、そのインダクタンスを極力小さくする必要がある。また、ゲート信号源への悪影響をできる限り小さくするためにソース電流の流れるソース部のインダクタンスも極力小さくするか、あるいはゲート信号源へ悪影響を与えない構造にする必要がある。しかし、FET 内部の動作バランスを得るために、複数のソース用小電極を半導体素子に備えると共にこれらをソース用電極パッドに接続する複数のボンディングワイヤのインダクタンス値を実質的に等しくしなければならないという制約もあり、これら条件を満足することは非常に難しかった。

【0004】図9により従来FETの一例を説明すると、放熱板として働く比較的厚い金属板（図示せず）に固定された電気絶縁板1の一方の正面に、第1の電極パッド2であるドレン用電極パッド、第2の電極パッド3であるソース用電極パッド、及び第3の電極パッド4であるコの字状のゲート用電極パッドが固定されている。半導体素子5であるFETチップはその下面にドレン電極（図示せず）を、またその上面に複数のソース用小電極5Aと5B及びゲート小電極5Cと5Dを備えている。ドレン電極はドレン用電極パッド2にハンダ付けされ、ソース用小電極5Aと5Bはボンディングワイヤ6Aと6Bによりソース用電極パッド3に、またゲート電極5Cと5Dはボンディングワイヤ6Cと6Dによりゲート用電極パッド4に接続される。第1、第2、第3の電極パッド2、3、4それぞれには第1の導電端子2A、第2の導電端子3A、第3の導電端子4Aがハンダ付けされる。なお、3'Aはソース用電極パッド3にハンダ付けされる第4の導電端子であり、この端子は第3の導電端子4Aと対になってゲート電流を流すソースセンス端子として作用する。

【0005】このような構造のFETでは、ソース端子である第2の導電端子3Aとソースセンス端子である第4の導電端子3'Aの双方を第2の電極パッド3から取っており、かつソース用小電極5Aと5Bをソース用電極パッド3に接続するボンディングワイヤ6Aと6Bに主電流（ソース電流）とゲート信号電流の双方が流れる構造になっているいため、ボンディングワイヤ6Aと6Bなどによるインダクタンスが比較的大きく、またゲー

ト信号が主電流の悪影響を受ける。

【0006】この点について図9（B）を用いて説明すると、参考記号Dは端子2Aに相当するドレン端子を示し、Sは端子3Aに相当するソース端子、Gは端子4Aに相当するゲート端子、SSは端子3'Aに相当するソースセンス端子を示す。また、LDはドレン側配線のインダクタンス、LSはソース側配線のインダクタンス、LGはゲート側配線のインダクタンスをそれぞれ示す。インダクタンスLDは、半導体素子5のドレン電極が第1の電極パッド2に直接接続されているので、実質的にゼロであるが、インダクタンスLSおよびインダクタンスLGはそれぞれのボンディングワイヤのインダクタンスにより比較的大きくなる。

【0007】FETのスイッチング動作中においては、FETのターンオン、ターンオフ時に主電流が急激に変化するため、インダクタンスLSに主電流の時間変化率 $\Delta i \times L_S$ に等しい電圧 $\Delta v$ が発生し、FETのゲートとソースに印加される正味の電圧は、端子Gと端子SS間に印加されるゲートドライブ電圧vから $\Delta v$ を差し引いた電圧となってしまう。この現象はスイッチング動作速度が高くなるに従い、つまりFETのスイッチング時における主電流の変化が急峻であればある程、顕著になる。また、この構成ではゲート信号路のインダクタンスが比較的大きいために、そのインダクタンスの影響でゲート信号波形の立上がり、立下がりがなまってしまい、このことがさらに一層高周波動作を阻害している。

【0008】このような問題点のうち前者の欠点を解決する構造として、図10（A）に示すようなFETを考えられる。この図において図9に示した記号と同一の記号は図9の部材に相当するものとする。このFETでは、第2の電極パッド3であるソース用電極パッドと第3の電極パッド4であるコの字状のゲート用電極パッドとの間の電気絶縁板1の正面に第4の電極パッド3'であるコの字状のソースセンス用電極パッドを別途備え、2列に配列されたソース電極5A、5Bとソースセンス用電極パッド3'との間を、ソース用のボンディングワイヤ6A、6Bとは別のボンディングワイヤ6E、6Fでそれぞれ接続している。したがって、この構造ではボンディングワイヤ6A、6Bを主電流が流れ、ボンディングワイヤ6E、6Fをゲート信号電流のみが流れるので、ゲート信号は主電流の影響を受けない。

【0009】

【発明が解決しようとする課題】しかしこの構造をもつ電力用半導体装置では、ボンディングワイヤの本数が増えるため信頼性が低下しかつ工数も増えること、半導体素子の面積が必然的に大きくなること、ゲート信号路のボンディングワイヤが図9のもの以上に長くなるためにインダクタンスがさらに大きくなり、ゲート信号波形をなまらせるために高周波駆動を困難にすることなど、高周波動作をさせる上でいろいろな欠点がある。

【0010】本発明はこのような従来の問題点を解決し、インダクタンスおよび抵抗が小さく、比較的簡単な配線構成で高周波動作に適した電力用半導体装置を提供することを目的としている。

#### 【0011】

【問題を解決するための手段】本発明は前述のような問題を解決するため、半導体素子の第1の主電流電極、複数の小電極からなる第2の主電流電極、制御信号電極それぞれを1以上の電気絶縁板に形成された対応する第1、第2、第3の電極パッドに電気的に接続してなる電力用半導体装置において、前記複数の小電極からなる第2の主電流電極を幅広の金属部材を通して前記第2の電極パッド又は別の電極パッドに接続する電力用半導体装置である。

#### 【0012】

【実施例】以下図面により本発明の実施例を説明する。先ず図1により本発明の一実施例を説明すると、図9及び図10で示した記号と同じ記号はそれら図の部材に相当する部材を示すものとする。電気絶縁板1は通常の方法でその金属化された裏面に固着された薄い金属板1'を介して熱電導の良好な銅板などからなる放熱板(図示せず)に固着されるセラミック基板のようなものからなり、電気絶縁板1の予め金属化された表面に固着された薄い銅板などを所望のパターンにエッチングすることにより、第1、第2、第3、第4、第5の電極パッド2、3、4、3'、7が形成される。FETの場合には、第1の電極パッド2はドレイン用電極パッドであり、第2の電極パッド3はソース用電極パッド、第3の電極パッド4はゲート用電極パッド、第4の電極パッド3'はソースセンス用電極パッド、及び第5の電極パッド7は付加的な電極パッドであり、この電極パッド7は必ずしも必要ではない。

【0013】ドレイン用電極パッド2とゲート用電極パッド4との間にはソース用電極パッド3の一部分が位置するように配置されており、FETのスイッチング時ににおけるドレイン用電極パッド2の高低2つの電圧レベル間の遷移の影響を、ゲート信号が出来るだけ受けないような構造にしている。次に制御信号路のインダクタンスを小さくするために幅広の金属部材8を用いたことがこの実施例の大きな特徴の1つであり、幅広の金属部材8は機械的強度及び加工性などの面から、例えば0.5~1mm程度の厚みをもつ銅のような導電性の良好な金属条片からなる。この金属部材8は、2列に配列されたソース小電極5Aと5Bとの間の距離より狭いが、ボンディング作業に悪影響を与えない限り表皮効果の面からもできるだけ広い幅を有し、その一端はソースセンス用電極パッド3'にろう付けされ、その他端は付加的な電極パッド7に接続される。そして金属部材8は、ソースセンス用電極パッド3'と電極パッド7間を橋絡しており、半導体素子5の表面との間には間隙が存在する。

【0014】各ボンディングワイヤ6Aは、ワイヤボンダ(図示せず)により先ずコの字状ソース用電極パッド3の一点にボンディングされ、次にソース小電極5A、金属部材8の一方の端近傍の第1の点、他方の端近傍の第2の点、ソース小電極5B、及びソース用電極パッド3の他の一点に順次ボンディングされる。各ボンディングワイヤ6Aにおけるソース小電極5A、5Bと金属部材8の接続点間のボンディングワイヤ部分は、図10に示した従来のボンディングワイヤ6E又は6Fに比べて実質的に十分短く、かつ幅広の金属部材8はボンディングワイヤに比べてかなり幅が広いので、ソース小電極5A、5Bとソースセンス用電極パッド3'間のインダクタンスと抵抗は従来に比べてかなり小さくなる。

【0015】したがって、この実施例の電力用FETではゲート信号が主電流のスイッチング時の変化によって悪影響を受けず、またゲート信号波形が従来に比べてなまらないので、数MHz以上の高周波でスイッチング動作が行える。なお、この半導体装置においても通常のものと同様にRTVなどの絶縁被覆材料で表面が被覆されているが、図示するのを省略している。以下に述べる実施例についても同様である。

【0016】次に図2によりFETの他の一実施例について説明する。図1に示した記号と同一の記号は図1の部材に相当する部材を示すものとする。この実施例では、ゲート信号電流路のインダクタンスを更に小さくするために、幅広の金属部材8をソース用電極パッド3とソースセンス用電極パッド3'にろう付けし、これらの間を橋絡すると共に、ボンディングワイヤ6Aでソース小電極5A、金属部材8の一方の端近傍の第1の点、他方の端近傍の第2の点、及びソース小電極5Bに順次ボンディングしたものである。

【0017】この構造によれば、ボンディングワイヤ6Aと幅広の金属部材8を主電流とゲート信号電流の双方が流れるが、ソース小電極5A、5Bと幅広の金属部材8間のボンディングワイヤ6Aは実質的に十分に短いのでそのインダクタンスが十分に小さく、したがって主電流によるゲート電流への悪影響は十分小さく、また幅広の金属部材8のインダクタンスは非常に小さく、かつ同図からも分かるようにソース用電極パッド3を小さくできるために、ゲート用電極パッド4を複数のゲート小電極5Cの近くに配置できるので、ゲート用電極パッド4と各複数のゲート小電極5C間を接続するボンディングワイヤ6Cを大幅に短くでき、そのインダクタンスは小さくなる。

【0018】したがって、この実施例によればゲート信号電流路のインダクタンスを更に小さくすることができます、また、ソース用電極パッド3と各ソース小電極5A、5Bとを接続するためのボンディングワイヤのボンディング工程が不要になる。さらにまた、前記実施例に比べて半導体装置の面積を小さくすることができる。

【0019】次に図3により他の一実施例について説明する。図1又は図2に示した記号と同一の記号は図1又は図2の部材に相当する部材を示すものとする。この実施例は、図2に示した半導体装置を更に改善したものであり、幅広の金属部材8の幅を更に広くしてそのインダクタンスおよび抵抗を一層小さくしたことを特徴している。幅広の金属部材8は、半導体素子5の表面に形成された2列のゲート小電極5Cと5Dに達しない程度の幅で、各ソース小電極5A, 5Bに対応する位置にこれら小電極より面積の大きい複数の開口8Aを有する。ボンディングワイヤ6Aは各開口8Aを通して各ソース小電極5A, 5Bと幅広の金属部材8を接続する。

【0020】次に図4により幅広の金属部材8を半導体素子5の各ソース小電極5A, 5Bに直接ろう付けする他の一実施例について説明する。図1乃至図3に示した記号と同一の記号は相当する部材を示すものとする。この実施例における幅広の金属部材8は、半導体素子5の各ソース小電極5A, 5Bに対応する位置にプロジェクション8Bを備える。ここでいうプロジェクションは、加圧成形で一体的に形成されたものに限らず、植設された又はエッティングなどにより形成された突起でよく、各プロジェクション8Bは各ソース小電極5Aの面積と同程度の大きさと0.5~2mm程度の高さを有している。

【0021】幅広の金属部材8のプロジェクション8Bを各ソース小電極5A, 5Bに位置合わせした後、これらプロジェクション8Bは通常の方法で各ソース小電極5A, 5Bに付与したろう材によりろう付けされる。この半導体装置ではボンディングワイヤを使わずに幅広の金属部材8を半導体素子5の各ソース小電極5A, 5Bに直接ろう付けしているので、更にインダクタンスを小さくできる。なお、図3に示した実施例も同様であるが、幅広の金属部材8は半導体素子5の厚みに比べてかなり大きい距離その上方に位置するので、ドレン用電極パッド2と幅広の金属部材8を電極として形成されるキャバシタのキャバシタンスは小さく、幅広の金属部材8によるキャバシタンスが高周波動作に悪影響を与えることはほとんどない。

【0022】次に図5により本発明にかかる半導体装置の他の一実施例について説明する。図1乃至図4に示した記号と同一の記号は相当する部材を示すものとする。この実施例は、同図(A)に示すように半導体素子を納める窓部を有する第2の電気絶縁板を前記実施例と同様な電気絶縁板の上に重ねることにより、一対の主電流端子と一対の信号側端子を容易に対向させて引き出せる構造とし、さらに端子のインダクタンスを小さくしたものである。

【0023】第1の電気絶縁板1は前記実施例で述べたものと同様であり、その予め金属化された表面に薄い銅板などからなる同図(C)に示すような第1の電極パッ

ド2が接着され、その上に同図(C)に示すような第2の電気絶縁板9が重ねられる。そして第2の電気絶縁板9の開口部9Aから露出する第1の電極パッド2上に半導体素子5を載置しう付けする。このとき開口部9Aが半導体素子5の位置決め作用を行う。ここで、第2の電気絶縁板9は、第1の電気絶縁板1と同様な電気絶縁材料からなり、好ましくは半導体素子5の面積より若干だけ大きい面積の開口部9Aを有する。また、第1の電極パッド2はその一辺のほぼ中央から延びる引出し導電端子2Aを備えている。

【0024】第1の電極パッド2と同様な金属材料からなる第2の電極パッド3、第3の電極パッド4、第4の電極パッド3'、第5の電極パッド7は第2の電気絶縁板9の開口部9Aの周囲に、図1の場合と同じように接着される。ここで第2の電極パッド3及び第3の電極パッド4はそれぞれその一辺のほぼ中央から延びる引出し用の導電端子3A, 4Aを有し、これら引出し用の導電端子3A, 4Aはそれぞれ第1の電極パッド2の引出し用の導電端子2A、幅広の金属部材8から延びる引出し用の導電端子8' と対になって平行に延びるので、それら導電端子部のインダクタンスは小さい。

【0025】この実施例の半導体装置がFETの場合、FETの高周波動作の妨げとなるドレインーソース間容量、及びドレインーゲート間容量を増大させないため、ドレン用電極パッドである第1の電極パッド2が第2の電気絶縁板9を介してソース用電極パッドである第2の電極パッド3、ゲート用電極パッドである第3の電極パッド4、ソースセンス用電極パッドである第4の電極パッド3' と対向することがない大きさ、あるいは形状であることが好ましい。なお、半導体素子5の各小電極と各電極パッドとのワイヤボンディングについては図1の実施例と同じであるので説明を省略する。

【0026】次に図6により図5に示した半導体装置の変更例について説明する。図1乃至図5に示した記号と同一の記号は相当する部材を示すものとする。同図

(A)に示す半導体装置の第1の電気絶縁板1の上面には、同図(C)に示す第1の電極パッド2、第3の電極パッド4は第1の電気絶縁板1に接着されている。これら電極パッドが接着された第1の電気絶縁板1に、開口部9Aの他に複数の開口9Bを有する第2の電気絶縁板9を重ねる。複数の開口9Bは第3の電極パッド4に対応する位置にあり、複数の開口9Bから電極パッド4の一部分が露出する。

【0027】複数の開口9Bから露出する電極パッド4の部分のそれぞれに制御信号用抵抗素子10を接着し、各抵抗素子10をそれぞれのボンディングワイヤ6C, 6Dで対応する制御小電極5C, 5Dに接続する。幅広の金属部材8は平坦な金属条件からなり、第4の電極パッド3' と第5の電極パッド7に接続され、さらにその一部分は第5の電極パッド7とのろう付け部分から第3

の電極パッド4の導電端子4Aと並行して延び、制御信号路の一部分を形成する。この実施例では別途引出し用の導電端子8'は、幅広の金属部材8と一体的でかつ同一平面で延びているので、製作上有利であり、また第2の電気絶縁板9の各開口9Bが抵抗素子10の位置決めを行うので、製造工程が容易になる。なお、半導体素子5の各小電極と各電極パッドとの他のワイヤボンディングについては図1の実施例と同じであるので説明を省略する。

【0028】この実施例において、幅広の金属部材8を図2に示したように、第5の電極パッド7に接続せずに第2の電極パッド3に接続し、半導体素子5の主小電極と第2の電極パッド3とを接続するワイヤボンディング工程を省略してもよい。また、幅広の金属部材8幅を図3又は図4に示したように更にを広くし、それら実施例で説明したような接続構成としても勿論よい。

【0029】次に図7によりボンディングワイヤレスの半導体装置の一実施例について説明する。図1乃至図6に示した記号と同一の記号は相当する部材を示すものとする。第1の電気絶縁板1には図5(C)に示したような第1の電極パッドが固着されており、同図(B)に示したような開口部9Aを有する第2の電気絶縁板9がその上に積み重ねられ、図5及び図6の実施例でも同じであるが、第2の電気絶縁板9の金属化された裏面が第1の電気絶縁板1の第1の電極パッドにろう付けされる。開口部9Aから露出する第1の電極パッドに半導体素子5が載置されその一方の主電極(図示せず)がろう付けされる。第2の電気絶縁板9には第2の電極パッド3と第4の電極パッド3'が固着され、第4の電極パッド3'からは段差を持つ引出し導電端子3'Aが延びている。

【0030】11はセラミック基板のような第3の電気絶縁板であり、その予め金属化された一方の主面に幅広の金属部材8及び第3の電極パッド4が固着され、予め一体化されている。幅広の金属部材8はそれから延びる主電流引出し用の導電端子部分8Cを有し、図7(B)の鎖線Xで示すように半導体素子5上の形成された2列の主小電極5Aと5Bに跨がる幅と、第2の電極パッド3と第4の電極パッド3'間に跨がる長さをもっている。また、コの字状の第3の電極パッド4もそれから延びる制御信号用の引出し導電端子4Aを備え、同図

(B)の鎖線Yで示すように半導体素子5のほぼ両端に形成された複数の制御信号小電極5C、5Dにかかる部分と、これらを結合し導電端子3'Aの段差部分と接触せずに直交する部分とからなる形状及び大きさを有する。

【0031】同図(A)の一体化された部材を同図(B)に示すアセンブリにろう付けする際には、各主小電極5Aと5B、各信号小電極5Cと5D及びこれら小電極に対応する個所にクリームハンダのようなハンダを

付与しておき、そのハンダよりも高い融点をもつ予め適当な大きさのソルダボール(図示せず)を各主小電極5Aと5B及び各信号小電極5Cと5D、又は幅広の金属部材8に仮付けし、第3の電気絶縁板11に固着された幅広の金属部材8が図7(B)の鎖線Xの位置に、またコの字状の第3の電極パッド4が図7(B)の鎖線Yの位置に来るよう、第3の電気絶縁板11を重合させ、その状態を保持しながら熱処理を行って一体化する。このときソルダボールは僅かに溶融し部分的に変形する程度であり、ソルダボールにより幅広の金属部材8と半導体素子5との間隔が保持される。また、幅広の金属部材8と半導体素子5との間隔は第2の電気絶縁板9と電極パッド3又は3'の厚みを調整することにより、所望の距離に設定しても良い。したがって、ソルダが各主小電極5Aと5Bと幅広の金属部材8との間をブリッジし、また各信号小電極5Cと5Dとコの字状の第3の電極パッド4との間をブリッジする。なお、この実施例においてもソルダボールの代わりに通常のろう材を用い、図4に示したように各小電極対応箇所にプロジェクションを備えた幅広の金属部材8の各プロジェクションを各小電極にろう付けしても良い。

【0032】次に図8は図7に示した実施例の幅広の金属部材8に容量調整用の窓部8Dを設けた実施例である。図7に示した実施例で、幅広の金属部材8と半導体素子5との間隔を狭くせざるを得ない場合には、第1、第2の電気絶縁板1、9の間に挟まれている第1の電極パッド(図示せず)と幅広の金属部材8を電極とするキャパシタの容量が大きくなる場合がある。他の条件を一定とすると第1の電極パッドと幅広の金属部材8の対面する面積が大きければ容量が大きくなり、容量調整用の窓部8Dの面積を大きくするとインダクタンスが増えるから、半導体装置の動作周波数にとって都合の良い容量値とインダクタンス値となる大きさの窓部8Dとすればよい。他は図7に示した実施例と同じであるので、説明を省略する。

【0033】なお、以上の実施例では半導体素子をFETとして述べたが、静電誘導型半導体装置及びIGBT(絶縁ゲート型バイポーラトランジスタ)など比較的高周波で動作し得る電力用半導体装置に本発明の技術を適用することができ、前述と同様な効果が得られる。また、上記実施例ではいずれも半導体素子単体の場合について述べたが、複数の半導体素子が電気絶縁板の上に搭載されている場合についても同様に実施可能である。

#### 【0034】

【発明の効果】以上述べたように、本発明によれば、主電流路及び制御電流路のインダクタンス及び抵抗を低減できるので、高周波応答の良好な電力用半導体装置を得ることができる。さらに、各対の引出し用の導電端子のインダクタンスも小さくでき、更に一層高周波応答向上できる。また、複雑な回路構成の半導体装置を比較的

簡易で少ない配線で構成することができると同時に、第2の電気絶縁板で各電子部品素子の位置決めもできるので、製造が容易となることもある。

【図面の簡単な説明】

【図1】本発明の電力用半導体装置の一実施例を説明するための図である。

【図2】本発明の電力用半導体装置の他の一実施例を説明するための図である。

【図3】本発明の電力用半導体装置の他の一実施例を説明するための図である。

【図4】本発明の電力用半導体装置の他の一実施例を説明するための図である。

【図5】本発明の電力用半導体装置の他の一実施例を説明するための図である。

【図6】本発明の電力用半導体装置の他の一実施例を説明するための図である。

【図7】本発明の電力用半導体装置の他の一実施例を説明するための図である。

【図8】本発明の電力用半導体装置の他の一実施例を説明するための図である。

【図9】従来の電力用半導体装置の一例を説明するため

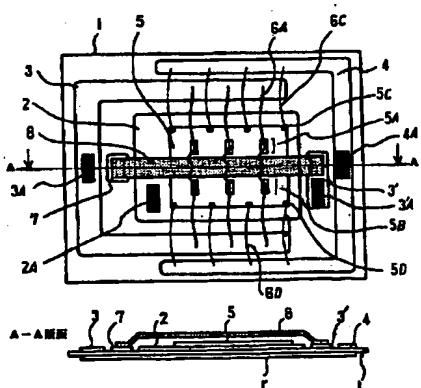
の図である。

【図10】従来の電力用半導体装置の一例を説明するための図である。

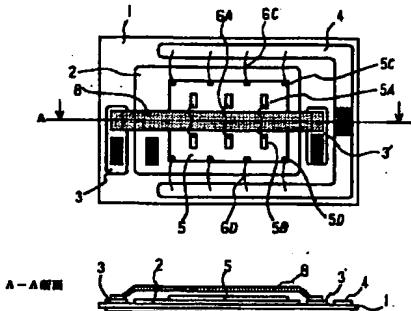
【符号の説明】

- 1 . . . 第1の電気絶縁板
- 2 . . . 第1の電極パッド
- 2 A . . 导電端子
- 3 . . . 第2の電極パッド
- 3 A . . 导電端子
- 10 4 . . . 第3の電極パッド
- 4 A . . 导電端子
- 3' . . . 第4の電極パッド
- 3' A . . 导電端子
- 5 . . . 半導体素子
- 6 A~6 B . . ボンディングワイヤ
- 7 . . . 第5の電極パッド
- 8 . . . 幅広の金属部材
- 9 . . . 第2の電気絶縁板
- 10 . . . 抵抗素子
- 20 11 . . . 第3の電気絶縁板

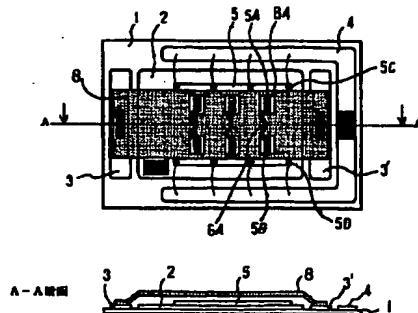
【図1】



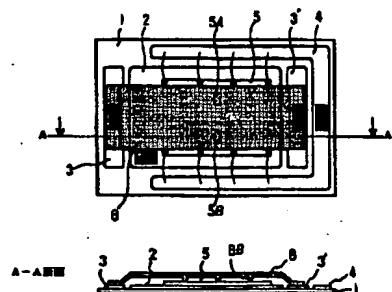
【図2】



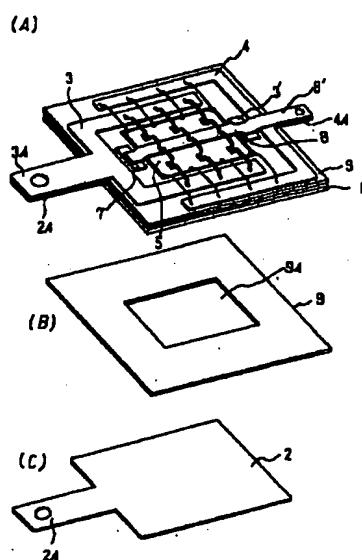
【図3】



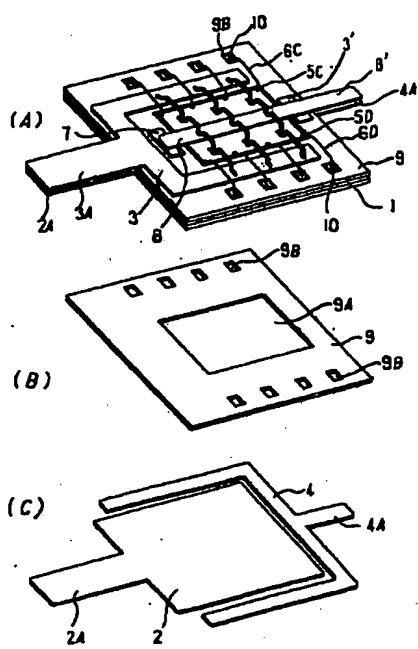
【図4】



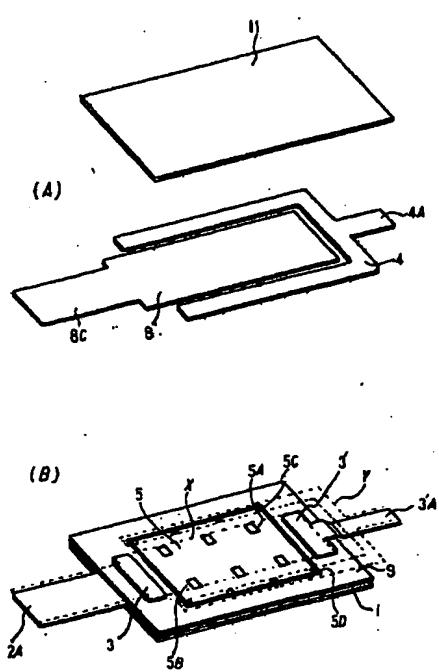
【図5】



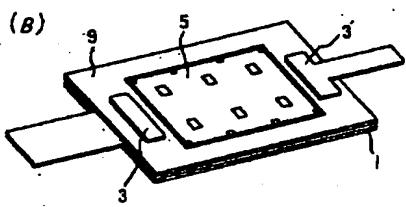
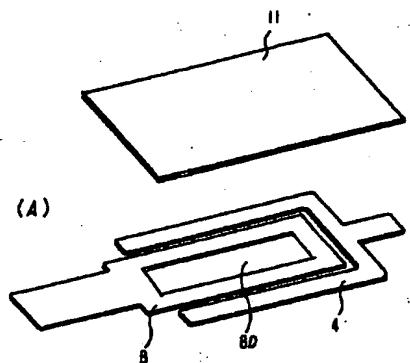
【図6】



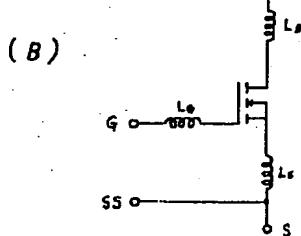
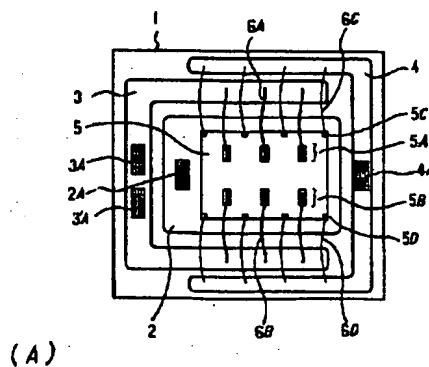
【図7】



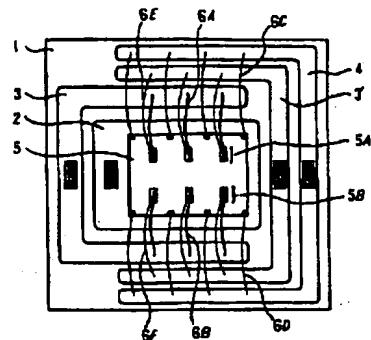
【図8】



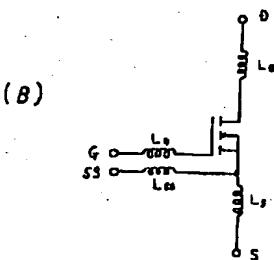
【図9】



[図10]



(A)



(B)

---

フロントページの続き

(51) Int.Cl.6

識別記号 庁内整理番号

F I

技術表示箇所

H 0 1 L 25/07

25/18

H 0 3 K 17/00

A 9184-5 J